

## Duplexer package

Patent Number: US5859473  
 Publication date: 1999-01-12  
 Inventor(s): IKATA OSAMU (JP); SATOH YOSHIO (JP)  
 Applicant(s): FUJITSU LTD (JP)  
 Requested Patent: JP10126213  
 Application Number: US19970812282 19970306  
 Priority Number(s): JP19960272521 19961015  
 IPC Classification: H01L23/34  
 EC Classification: H03H9/05C; H03H9/72  
 Equivalents: DE19712065, JP3222072B2, KR252535

### Abstract

A duplexer package comprises two surface acoustic wave filter chips having different band center frequencies and a phase matching circuit for matching the phases of the two SAW filter chips, the filter chips and the phase matching circuit being accommodated in one unit, wherein the phase matching circuit is formed in a layer providing a cavity for the filter chips, the layer defining the cavity being located above a face for mounting the surface acoustic wave filter chips. According to the present invention, the height of the duplexer package can be lowered.

Data supplied from the esp@cenet database - I2

## Description

### BACKGROUND OF THE INVENTION

#### 1. Field of the Invention

The present invention relates to duplexer packages and more particularly, to duplexer packages using surface-acoustic-wave (SAW) band-pass filters.

#### 2. Description of Related Art

In recent years, down-sized versions of mobile communication apparatuses typified by handy phones have been rapidly developed and, therefore, the parts for use therein have been desired to have a smaller size and higher performance. In mobile communication apparatuses, duplexers are used to separate or generate signals.

While most of the duplexers comprise band-pass filters using dielectrics, band-rejection filters or a combination of these filters, duplexers using SAW filters are now under research and development for further down-sizing and higher performance.

The duplexer separates two surface acoustic waves having different pass bands to prevent the interference between the two surface acoustic waves. A duplexer comprising two SAW band-pass filter chips should be designed so as to prevent or reduce the interference of the filter characteristics of the two SAW band-pass filter chips with each other. To this end, the two SAW band-pass filter chips are each provided with a phase matching circuit, or at least one of the two SAW band-pass filter chips is provided with a phase matching circuit.

The phase-matching circuit may be placed in a multilayer ceramic package together with the filter chips to form a small duplexer package of about 2.4 mm in height.

In usual, the two filter chips included in the duplexer have different center band-pass frequencies (e.g., 836 MHz and 881 MHz). The filter chips characteristically show a small attenuation in the respective

pass bands, and a large attenuation in the respective rejection bands so that the level of a signal becomes low.

It is also necessary to prevent the deterioration of the filter characteristics of the two filter chips when used in the duplexer. For this purpose, ideally, the impedance of each of the filter chips is infinity and the reflection coefficient thereof is about 1 in the pass band of the other filter chip.

For attaining the above characteristics, the phase matching circuit is connected to the filter chip. The phase matching circuit is generally formed of a strip-line, a condenser (C) or a inductance (L), the latter two being discrete devices.

In the phase matching circuit formed of the strip-line, the resistance increases proportionally to the length of the strip line. the increase in resistance may cause a signal transmission loss and increase in stray capacitance in a distribution constant.

The increase in the stray capacitance influences the phase circuit constant and the like to change the characteristics. Such influence is known to become greater specially as a higher frequency is used and as the material for packaging the duplexer is higher in dielectric constant.

To avoid this influence, a material having a low dielectric constant (e.g., alumina ceramic or glass ceramic) is used for the package and a conductor having a low resistance (e.g., tungsten) is used for the phase matching circuit.

When the discrete chip L or C is used, the constant of the phase matching circuit is not influenced much. However, due to the accuracy of the chip, delicate adjustment in phase matching is difficult. Further, since the size of the chip is large, the duplexer becomes of considerable height.

An example of a conventional duplexer comprising two SAW filter chips of band-pass type will hereinafter be described.

FIG. 12 is a block diagram illustrating the circuit construction of a conventional duplexer formed in a package. Referring to FIG. 12, the reference alphanumeric F1 and F2 denote SAW filter chips. Phase matching circuit P1 and P2 are inserted to prevent the interference of the filter characteristics of the filter chips.

Terminals T1 and T1' are common signal terminals, terminals S1 and S1g and terminals S2 and S2g are input/output terminals for separated signals. One of each of the above pairs of terminals (e.g., T1', S1g, and S2g) is connected to ground (GND).

Usually, the SAW filters F1 and F2 and the phase matching circuits P1 and P2 are accommodated in a multilayer ceramic package.

FIGS. 13 to 17 are schematic sectional views and perspective views showing the construction of conventional duplexer packages. Referring to FIG. 13, externally connecting terminal section 101 is located in the lowermost layer of the package, which corresponds to the terminals T1, S1 and S2 in FIG. 12.

A phase matching circuit 100 made of tungsten or the like is buried in an insulating layer 103.

In the duplexer shown in FIG. 13, the phase matching circuit 100 is inserted only between the filter F1 and the terminal T1.

One end of the phase matching circuit 100 is connected to the common signal terminals T1 in the lowermost layer via a through-hole and the other end is connected to the filters F1 and F2 via a through-hole. The filters F1 and F2 are disposed on a die-attach layer 102 serving as a face for mounting the filter chips, and are connected to a bonding terminal layer 104 via a wire 107.

The bonding terminal layer 104 is located on the surface of a layer 105 defining a cavity (hereafter referred to as a cavity layer), the surface being at the same height as the top surface of the filters, and is connected to the signal terminals S1 and S2 in the lowermost layer via an end portion of the package. The die-attach layer 102 is provided with a ground (GND) pattern, and the filters F1 and F2 are disposed on the GND pattern. On the uppermost layer, a cap 106 is disposed as a hermetic seal.

Referring to FIG. 14 showing a perspective view of the duplexer package shown in FIG. 13, the phase matching circuit 100 is formed in a layer 7. Via through-holes, an end of the phase matching circuit 100

is connected to the terminal S1' in the cavity layer 105 and the other end is connected to the terminal S2' and the terminal T1 which is located in the lowermost layer. The surface of a layer 5 is the die-attach layer, on which the filter chips F1 and F2 is disposed.

A ground (GND) layer is formed on the surface of a layer 9 and connected to GNDs in a layer 2 and a layer 6 via a through-hole and an end portion of the package.

The size of the conventional duplexer package as shown in FIGS. 13 and 14 is about 7.5 (length).times.8.5 (width).times.2.4 (height) mm.

FIG. 15 is a perspective view illustrating a conventional duplexer package wherein the phase matching circuits 100 are inserted both on a layer 7 and on a layer 8 between the filters F1, F2 and the common signal terminal T1.

Difference from the conventional duplexer package as shown in FIG. 14 lies in that the layer 8 on which the phase matching circuit 100 is formed is added. Due to the addition of the layer 8, this duplexer package is about 0.35 mm higher than that shown in FIG. 14 (2.4 mm).

FIGS. 16 and 17 show a conventional duplexer package of upside-down construction with respect to the construction shown in FIG. 13, in which the phase matching circuit 100 is formed above the die-attach layer. Compared with the duplexer package shown in FIG. 13, the insulating layer 103 can be omitted in this construction, and therefore the size of the duplexer package is about 8.5 (length).times.9.5 (width).times.1.6 (height) mm.

However, the phase matching circuit 100 disposed on the top, as it is, is ready to be affected by external radiant noise.

Accordingly, if a signal line such as GND lies close to the phase matching circuit 100, the characteristic impedance of the phase matching circuit changes and the device characteristics deteriorate. Therefore a certain space is necessary.

Conventionally, the duplexer package having the construction as shown in FIG. 16 is employed with a space of 0.6 mm or more provided above the phase matching circuit 100. After all, this duplexer package occupies the height of 2.2 mm or more in use.

As previously mentioned, the down-sizing of the parts is highly demanded for small-sized communication apparatuses, and especially there is much more need for "the lowering the part height."

The duplexer package of multilayer construction with the buried pattern of the phase matching circuit as shown in FIG. 13 can reduce the adverse effect of the filters on each other's characteristics, but it is difficult to further down-size the duplexer package or lower the height thereof because a considerable number of layers are necessary.

Also, in the construction shown in FIG. 16, since a space of a certain height is required above the duplexer package, there is a limit to the lowering of the height. Further there is a strong possibility that the filter characteristics are adversely affected by external noise.

## SUMMARY OF THE INVENTION

The present invention provides a multilayer duplexer package comprising two surface acoustic wave (SAW) filter chips having different center pass band frequencies and a phase matching circuit for matching the phases of the two SAW filter chips, the SAW filter chips and the phase matching circuit being accommodated in one unit, wherein the phase matching circuit is formed in a layer defining a cavity (a cavity layer) for the SAW filter chips, the cavity layer being located above a face for mounting the SAW filter chips.

According to the present invention, the formation of the phase matching circuit in the cavity layer for the SAW filter chips enables the height of the duplexer package to be lowered.

## BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a block diagram of a duplexer in accordance with the present invention;

FIG. 2 is a graphical representation for the explanation of frequency characteristics of filter chips of a duplexer in accordance with the invention;

FIGS. 3(a) and (b) are sectional views illustrating the multilayer construction of a duplexer package in accordance with Embodiment 1 of the present invention;

FIG. 4 is a perspective view illustrating the multilayer construction of a duplexer package in accordance with Embodiment 1 of the present invention;

FIG. 5 is a table showing a comparison of characteristics between a conventional duplexer package and a duplexer package in accordance with the present invention;

FIG. 6 is a graphical representation showing a comparison of band characteristics between Embodiment 1 and a conventional duplexer package;

FIG. 7 is a perspective view illustrating the multilayer construction of a duplexer package in accordance with Embodiment 2 of the present invention;

FIG. 8 is a graphical representation showing a comparison of band characteristics between Embodiment 2 and a conventional duplexer package;

FIG. 9 is a perspective view illustrating the multilayer construction of a duplexer package in accordance with Embodiment 3 of the present invention;

FIG. 10 is a graphical representation showing a comparison of band characteristics between Embodiment 3 and a conventional duplexer package;

FIGS. 11 (a) and (b) illustrate exemplary patterns of phase matching circuits in accordance with Embodiment 1 of the present invention;

FIG. 12 is a block diagram illustrating a conventional duplexer package;

FIG. 13 is a sectional view illustrating a conventional duplexer package;

FIG. 14 is a perspective view corresponding to FIG. 13 illustrating the conventional duplexer package;

FIG. 15 is a perspective view illustrating a conventional duplexer package;

FIG. 16 is a sectional view illustrating a conventional duplexer package;

FIG. 17 is a perspective view illustrating a conventional duplexer package.

#### DESCRIPTION OF THE PREFERRED EMBODIMENTS

The present invention will now be described in detail.

The present invention is to provide a duplexer package in which a novel multilayer construction is adopted for the disposition of a phase matching pattern, a ground pattern, a common signal terminal pattern and the like, with the view to reducing signal loss in the duplexer and suppressing deterioration in the filter characteristics of the duplexer as well as lowering the height of the duplexer package.

A multilayer duplexer package in accordance with the present invention comprises two surface acoustic wave (SAW) filter chips having different center pass band frequencies and a phase matching circuit for matching the phases of the two SAW filter chips, the filter chips and the phase matching circuit being accommodated in one unit, wherein the phase matching circuit is formed in a layer providing a cavity (a cavity layer) for the SAW filter chips, the cavity layer being located above a face for mounting the SAW filter chips.

The cavity layer providing the cavity for the filter chips may be composed of a bonding terminal layer, a ground layer under the bonding terminal layer including patterns separate for the individual SAW filter chips, and a matching layer under the ground layer in which the phase matching circuit is formed.

A common ground layer may be formed in the face for mounting the filter chips, or under the face for mounting the filter chips with an insulating layer in between.

The cavity layer means a layer which locates above the face for mounting the SAW filter chips and surrounds the cavity for the two SAW filter chips.

The SAW filter chips are put in the cavity and adhered to the face for mounting the SAW filter chips. The face for mounting the chips is also referred to as a die-attach layer.

Considering the reduction of loss, the phase matching circuit is preferably made of a conductive material containing copper or silver as a principal component.

Considering the down-sizing of the device, the phase matching circuit is preferably formed of a strip line to surround the filter chips.

The present invention will hereinafter be described in detail by way of embodiments shown in the attached drawings, which are not intended to limit the scope of the invention.

FIG. 1 shows a block diagram illustrating the circuit construction of a duplexer in accordance with the present invention.

Referring to FIG. 1, phase matching circuits P1, P2 are disposed between filter chips F1, F2 and common signal terminals T1, T1', respectively.

The filter chips F1 and F2 have different center pass band frequencies, each having a frequency characteristic shown in FIG. 2.

Input/output terminals S1 and S2 are terminals for inputting/outputting signals having two desired center frequencies.

For example, if the center pass band frequency of the filter chip F1 is 836 MHz, a signal having a band whose center frequency is 836 MHz is output/input to the terminal S1.

Similarly, a signal having a band whose center frequency is the center pass band frequency of the filter chip F2 (881 MHz) is input/output to the terminal S2.

Terminals (GND) other than the input/output terminals S1 and S2 as well as the common signal terminal T1' are grounded (GND).

#### EMBODIMENT 1

Embodiment 1 of the present invention will be described using a sectional view and a perspective view.

FIG. 3 is the sectional view and FIG. 4 is the perspective view, both illustrating a multilayer construction of a duplexer package in Embodiment 1.

The multilayer construction is composed of five layers. And a cap, not shown, is disposed on the uppermost layer (layer 1) so as to protect the inside of the filter chip. The cap is made of a metal plated with Au, Ni or the like, or made of the same ceramic used for the package.

The layer 1 serves as a frame of the duplexer package for disposing the cap thereon. The layer 1 is made of glass ceramic. Referring to FIG. 4, the cap and the layer 1 are not shown.

Layers 2 to 4 correspond to a cavity layer 21 of almost the same height as the filter chips F1 and F2. In the layer 21, patterns for the phase matching circuits are formed (P1, P2).

The layer 2 is a layer for connecting the terminals of the filter chips to the outside. The surface of the layer 2 defines a so-called bonding terminal layer 2.

On the bonding terminal layer 2, disposed are terminals corresponding to the terminals S1 and S2 and the route S1' and S2', and the terminals are each connected to the filter chips F1 and F2 through a wire 23.

The layer 2 is made of glass ceramic, and the terminals and the wiring pattern on the surface thereof are formed of a conductor such as tungsten, Cu, Ag or the like plated with Au. The wire 23 may be made of a material such as Al-Si.

In the bonding terminal layer 2, some ground (GND) terminals are disposed as shown in FIG. 4 and connected with the GND terminals of the filter chips F1 and F2 with the wire 23.

The terminals S1, S2, and GNDs on the layer 2 are each connected to the lowermost layer 5 by through-holes or communication passes formed on the side of each layer. Two rectangles in the center of the layer 2 represent a cavity for the filter chips, in which the filter chips are inserted.

The layers 3 and 4 are made of glass ceramic, serving as matching layers on the surface of which the phase matching circuits P1 and P2 are formed respectively.

The phase matching circuits P1 and P2 are each formed of strip-line patterns. The patterns are connected to S1' and S2' of the filter chips at one end by through-holes and are connected to the common signal terminal T1 in the lowermost layer at the other end by through-holes. The line patterns of the phase matching circuits P1 and P2 may be formed to surround the cavity for the filter chips as shown in FIG. 4.

For example, as shown in FIGS. 11(a) and (b), the phase matching circuit P1 connected to the filter chip F1 may be formed to surround the cavity for the filter chip F1 and the phase matching circuit P2 connected to the filter chip F2 may be formed to surround the cavities for the filter chip F1 and F2.

With such construction, the layers 3 and 4 need less space compared with the case where the line pattern is formed in a straight line. This contributes the down-sizing of the duplexer. However, the line pattern is not limited to that shown in FIGS. 4 and 11.

The line pattern may be shaped into other various forms. Also the line width of the line patterns may be varied. For examples, the width of the line connected to the common signal terminal T1 may be smaller than that of the line connected to the filter chip so that the line may become smaller gradually from the filter chip to the common signal terminal.

The phase matching circuits P1 and P2 are made of a material containing tungsten or copper as the principal component.

The phase matching circuit P1 may be about 25 mm in length and about 0.1 mm in width. The phase matching circuit P2 may be about 32 mm in length and about 0.1 mm in width.

The rectangles in the center of the layer 3 and 4 represent the cavity.

The layer 5 serves as a so-called die-attach layer on which the filter chips F1 and F2 is mounted. The layer 5 is also made of glass ceramic.

A ground (GND) pattern (a ground layer) is formed in the part for mounting the filter chips and in almost all the other of the die-attach layer. The filter chips F1 and F2 are adhered to the GND layer with a conductive paste. Preferably, a slit or slits shown in FIGS. 3(a) and 4 (three slits in the figures) is/are formed in the GND pattern so that the filter chips stick well to the ceramic substrate of the layer 5.

Here, the GND pattern is formed as covers almost all the surface of the layer 5 so that the filter chips can be isolated better.

On the layer 5, in addition to the ground pattern as described above, also the externally connecting terminals (S1, S2 and T1) are disposed on the reverse side.

The externally connected terminals S1, S2 and T1 and the GND terminal are preferably disposed on the other side of the layer 5 considering the mounting of the chips and isolation characteristics.

The GND pattern and the terminals are made of the same conductive material as the wire-bonding terminal.

The above-described is the multilayer construction of the duplexer package in accordance with Embodiment 1 of the present invention, where the height of the cavity layer 21 can be about 0.5 to 0.65 mm and the height of the entire package from the lowermost layer 5 to the cap can be about 1.6 mm.

The size of the filter chips F1 and F2 is about 1.5 (length).times.2 (width) mm, and accordingly the size of the entire duplexer package can be as small as about 6 (length).times.8 (width).times.1.6 (height) mm.

The duplexer package of the above construction can be produced by a process as described below.

First, prepared are substrates of glass ceramic of 5.7 in dielectric constant and 0.3 mm in thickness for

all the layers. A conductive material is evaporated using masks to form wiring patterns on the layers.

Then, the layers with the patterns on are attached and sintered to each other in order, and exposed conductive portions are plated with gold.

Further, the filter chips F1 and F2 are inserted in the cavities and are adhered to the die-attach layer with a conductive paste.

Lastly, the terminals on the filter chips F1 and F2 are connected to the terminals on the bonding wire layer on the layer 2 with the wire 23, and the cap is disposed above/on the layer 1.

As described above, in accordance with Embodiment 1, since the phase matching circuits P1 and P2 are formed in the cavity layer, the height of the duplexer package can be reduced to 1.6 mm compared with the conventional one (2.4 mm).

FIG. 5 shows a comparison of filter characteristic between the Embodiment 1 and a conventional duplexer package (FIG. 13).

Here, the phase matching circuit of the conventional duplexer is formed with a material of tungsten while the phase matching circuit of Embodiment 1 is formed of a material of copper (Cu) as previously described.

The pattern resistance is reduced to about one-fifth. The reduction in pattern resistance results in decrease in loss and improvement of the ex-band reflection coefficient after rotation of the phase.

In Embodiment 1, specifically, the loss can be reduced to about 0.3 dB and the ex-band reflection coefficient change can be -0.03. Therefore, explicitly, features often seen with a construction having two filters combined, i.e., a duplexer construction, are improved, especially the loss in the pass band is reduced.

FIG. 6 shows a comparison of filter characteristics when different materials are used for the phase matching circuit of the duplexer package of Embodiment 1.

Referring to FIG. 6, curves (a) represent the filter characteristics when a conductive material containing copper as the principal component is used for the phase matching circuits, as shown in Embodiment 1 of the present invention, and curves (b) represent the filter characteristics when conventionally used tungsten is used to form the phase matching circuits.

FIG. 6 shows that, according to the present invention, the attenuation is reduced by about 0.3 dB in the pass bands of the filters (824 MHz to 849 MHz and 869 MHz to 881 MHz), since the conductive material containing copper as the principal component is employed for the phase matching circuits.

The same reduction can be obtained when a silver-base conductive material is used for the phase matching circuits instead.

In this embodiment, the phase matching circuits P1 and P2 are formed between the filter chips F1, F2 and the common signal terminal T1, respectively. However, as shown in Embodiment 2, the phase matching circuit may be formed only between the common signal terminal T1 and either one of the filter chips. In this construction, since the number of the necessary layers decreases by one, the height of the duplexer package can be further lowered.

## EMBODIMENT 2

FIG. 7 is a perspective view illustrating a duplexer package in accordance with Embodiment 2 of the present invention.

Referring to FIG. 7, the difference from Embodiment 1 as shown in FIG. 4 lies in that the phase matching circuit is formed on only one layer (only on a layer 4) and that GND layers (ground layers 3 and 6) are provided under the bonding terminal layer (layer 2) as well as under the die-attach layer (layer 5) which is the lowermost layer in Embodiment 1.

In other words, FIG. 7 represents an embodiment wherein the layer 4 is removed from FIG. 4 and the phase matching circuit is formed only between the filter chip F2 and the common signal terminal T1.

According to Embodiment 2, since one layer can be removed from the cavity layer 21, the duplexer

package can be about 0.2 mm lower than Embodiment 1.

Though the phase matching circuit is inserted only in the circuit connected to one of the filter chips, the obtained filter characteristics are almost the same as the conventional duplexer since the phase matching circuit P2 is sandwiched between the two ground layers 3 and 6.

The ground layer of the layer 3 has cavities for the filter chips in its center, and GND patterns (GND 1 and GND 2) are formed to surround the cavities.

Preferably, these GND patterns, GND 1 and GND 2, are formed separately on the layer 3 in order to establish better isolation for the filter chips.

Both of the GND patterns, GND 1 and GND 2, are connected to GND terminals on the bonding terminal layer of the layer 2 by through-holes, and further connected to the SAW filter chips F1 and F2 with the wire.

Referring to FIG. 7, the ground layer of the layer 6, formed in such a pattern as covers almost all the surface of the layer 6, serves as a common ground layer connected to GND terminals on the layer 2. In the die-attach layer of the layer 5, the GND patterns are formed only in the portions to which the filter chips are adhered. The ground layer of the layer 6 is formed under the die-attached layer (layer 5) for mounting the filter chips with an insulating layer of glass ceramic or the like in between.

By constructing the duplexer package so that the ground layer (layer 3) is provided in the cavity layer, the common ground layer (layer 6) is provided under the die-attach layer (layer 5) in order that the phase matching circuit in the cavity is sandwiched as described above, the leak of a signal can be reduced between the terminals of the filter chips and the phase matching circuit as well as between the two SAW filter chips, the duplexer can be less influenced by outer radiation noise, and the characteristic impedance of the phase matching line can be stabilized.

FIG. 8 shows a comparison of filter characteristics between the duplexer of Embodiment 2 and the conventionally constructed duplexer as shown in FIG. 13. FIG. 8 shows that both the duplexers are almost the same in filter characteristics in the pass bands of the filter chips.

### EMBODIMENT 3

FIG. 9 is a perspective view illustrating a duplexer package in accordance with Embodiment 3 of the present invention.

Referring to FIG. 9, the difference from Embodiment 2 as shown in FIG. 7 lies in that there is not a ground layer in FIG. 9 which corresponds to the layer 3 shown in FIG. 7.

This omission of the ground layer corresponding to the layer 3 results in a further reduction by an about 0.2 mm in the height of the duplexer package.

Referring to FIG. 9, Embodiment 3 is characterized in that the surface of the layer 5 under the die-attach layer (layer 4) is almost covered with a common ground layer. By providing this common ground layer, the two filter chips can be better isolated.

FIG. 10 shows a comparison of filter characteristics between the duplexer of Embodiment 3 and the conventionally constructed duplexer as shown in FIG. 13. FIG. 10 shows that, because the attenuation around 820 MHz to 850 MHz in this invention is larger than that in the conventional one, Embodiment 3 improves in ex-band attenuation by the filter chip F2 compared with the conventional duplexer.

That is, since the ex-band attenuation can be improved by disposing the common ground layer (GND) under the die-attach layer for mounting the filter chips, the mutual adverse effect of the filter chips can be lessened.

According to the present invention, because the phase matching circuit is formed in the cavity for the filter chip, the height of the duplexer package can be lowered.

Further, because the ground layer including the patterns separately provided for the SAW filter chips is disposed between the bonding terminal layer and the matching layer in the cavity layer, the leak of a signal can be decreased not only between the filter chip and the phase matching circuit but also between the two SAW filter chips.



Still further, because the common ground layer is formed under the face for mounting the filter chips with the insulating layer in between, better isolation of the filter chips can be obtained.

If the common ground layer is formed on the face for mounting the filter chips, the height of the duplexer package can be further lowered.

---

Data supplied from the **esp@cenet** database - I2

## Claims

What is claimed is:

1. A duplexer package comprising two surface acoustic wave filter chips having different center pass band frequencies and a phase matching circuit for matching the phases of the two surface acoustic wave filter chips, the filter chips and the phase matching circuit being accommodated in one unit, wherein the phase matching circuit is formed in a layer providing a cavity for the surface acoustic wave filter chips, the layer defining the cavity being located above a face for mounting the surface acoustic wave filter chips.
2. A duplexer package according to claim 1 wherein the layer providing the cavity includes a bonding terminal layer, a ground layer disposed under the bonding terminal layer, the ground layer including separate patterns for the individual surface acoustic wave filter chips, and a matching layer disposed under the ground layer, the phase matching circuit being formed on the matching layer.
3. A duplexer package according to claim 1 or 2 wherein a common ground layer is formed on the face for mounting the filter chips.
4. A duplexer package according to claim 1 or 2 wherein a common ground layer is formed under the face for mounting the filter chips with an insulating layer in between.
5. A duplexer package according to claim 3 wherein a common signal terminal is provided on the common ground layer and the phase matching circuit is formed between the common signal terminal and either one of the filter chips.
6. A duplexer package according to claim 4 wherein a common signal terminal is provided on the common ground layer and the phase matching circuit is formed between the common signal terminal and either one of the filter chips.
7. A duplexer package according to claim 1 or 2 wherein the phase matching circuit is made of a conductive material containing copper or silver as a principal component.
8. A duplexer package according to claim 1 or 2 wherein the phase matching circuit is formed of a strip-line to surround the surface acoustic wave filter chips.
9. A duplexer package according to claim 5 wherein the phase matching circuit is formed of a strip-line to surround the surface acoustic wave filter chips.
10. A duplexer package according to claim 6 wherein the phase matching circuit is formed of a strip-line to surround the surface acoustic wave filter chips.
11. A duplexer package according to claim 8 wherein the width of the strip-line varies at both ends thereof.

---

Data supplied from the **esp@cenet** database - I2



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-126213

(43)公開日 平成10年(1998)5月15日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 3 H 9/72

H 0 3 H 9/72

H 0 1 L 25/04

9/25

A

25/18

H 0 5 K 3/46

Z

H 0 3 H 9/25

H 0 1 L 25/04

Z

// H 0 5 K 3/46

審査請求 未請求 請求項の数6 O L (全 12 頁)

(21)出願番号

特願平8-272521

(22)出願日

平成8年(1996)10月15日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 伊形 理

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 佐藤 良夫

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 弁理士 野河 信太郎

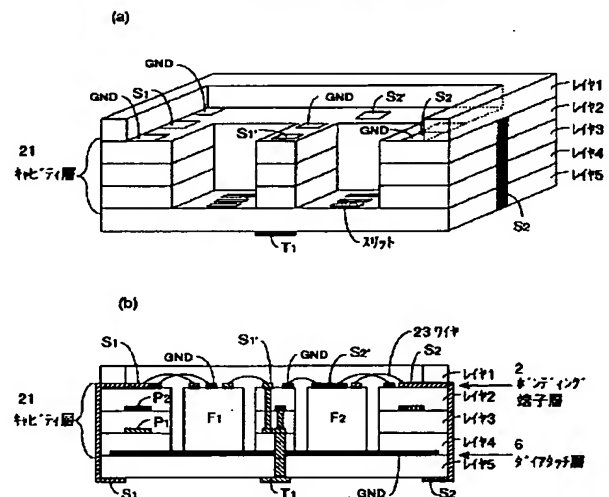
(54)【発明の名称】 分波器パッケージ

(57)【要約】

【課題】 この発明は、分波器パッケージに関し、パッケージの高さを低背化すること及びフィルタ特性の改善をすることを課題とする。

【解決手段】 それぞれ異なる帯域中心周波数を有する2つの弾性表面波フィルタチップと、2つの弾性表面波フィルタ同士の位相を整合させる位相整合用回路とを一つに収めた多層分波器パッケージであって、前記位相整合用回路が、弾性表面波フィルタチップ実装面の上方に位置するフィルタチップ用のキャビティを構成する層に形成されることを特徴とする。

この発明の第1実施例の断面図



## 【特許請求の範囲】

【請求項1】 それぞれ異なる帯域中心周波数を有する2つの弾性表面波フィルタチップと、2つの弾性表面波フィルタ同士の位相を整合させる位相整合用回路とを一つに収めた多層分波器パッケージであって、

前記位相整合用回路が、弾性表面波フィルタチップ実装面の上方に位置するフィルタチップ用のキャビティを構成する層に形成されることを特徴とする分波器パッケージ。

【請求項2】 前記キャビティを構成する層が、ボンディング端子層、ボンディング端子層の下方に各弾性表面波フィルタチップごとに分離されたパターンからなる接地層、及び接地層の下方に前記位相整合用回路が形成された整合層からなることを特徴とする請求項1記載の分波器パッケージ。

【請求項3】 フィルタチップ実装面に共通接地層を形成したことを特徴とする請求項1又は2記載の分波器パッケージ。

【請求項4】 フィルタチップ実装面の下方に絶縁層を介して共通接地層を形成したことを特徴とする請求項1又は2記載の分波器パッケージ。

【請求項5】 前記位相整合用回路が、銅又は銀を主成分とする導体材料からなることを特徴とする請求項1から4のいずれかに記載の分波器パッケージ。

【請求項6】 前記位相整合用回路が、弾性表面波フィルタチップを囲むような形状のストリップ線路であることを特徴とする請求項1から5のいずれかに記載の分波器パッケージ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、分波器パッケージに関し、特に、帯域通過型の弾性表面波フィルタを用いて構成される分波器のパッケージに関する。

## 【0002】

【従来の技術】近年、携帯電話に代表される移動通信機器の小型化が急速に進められ、これらの機器に使用される部品的小型化、高性能化が要望されている。移動通信機器における信号の分岐、生成を行うために分波器が用いられている。

【0003】また、分波器は、誘電体を用いた帯域通過フィルタ、帯域阻止フィルタあるいはこれらのフィルタの組み合わせにより構成されたものが多いが、より小型化、高性能化のために弾性表面波フィルタを用いたものが研究開発されている。

【0004】分波器は、2つの異なる通過周波数帯域を持つ弾性表面波を互いに干渉することのないように分波するものであるが、2つの帯域通過型の弾性表面波フィルタチップを用いて分波器を構成する場合、互いにフィルタ特性の干渉を防止・低減するために、2つのフィルタチップそれぞれに対して位相整合用回路を設けるか、

又は少なくとも一方のフィルタチップのみに位相整合用回路を設ける必要がある。この位相整合用回路は、フィルタチップと共に、多層のセラミックパッケージ内に収められ、高さ2.4mm程度の小型の分波器パッケージとすることができる。

【0005】通常、分波器を構成する2つのフィルタチップは、互いに異なる中心周波数（たとえば836MHzと881MHz）を持つものであり、それぞれ通過周波数帯域においては減衰量を低く抑え、阻止域においては減衰量を大きくし小さい信号レベルとなるような特性を有する。

【0006】そして、この2つのフィルタチップを用いて分波器を構成する際、互いのフィルタ特性を劣化させないようにする必要がある。そのため、互いの通過域において、相手方のフィルタのインピーダンスが無限大であって、かつ反射係数がほぼ1であることが理想である。

【0007】このような特性を満たすために、位相整合用回路がフィルタチップに接続されるが、位相整合用回路は、一般的に、ストリップ線路や、ディスクリット素子であるコンデンサ(C)やインダクタンス(L)を用いて形成される。

【0008】ところで、位相整合用回路がストリップ線路により形成される場合、その線路長に比例して抵抗が増加する。抵抗が増加すると、伝送すべき信号の伝搬損失となり、分布定数における浮遊容量の増加をもたらす。

【0009】また、この浮遊容量の増加は、位相回路定数等に影響を及ぼし特性が変化する。この影響は、特に使用する周波数が高周波になる程、また分波器のパッケージの材料が高誘電率になる程大きくなることが知られている。この影響を抑えるために、誘電率の小さなパッケージ材料（アルミナセラミック、またはガラスセラミック）を用い、位相整合用回路としては低抵抗導体（たとえばタングステン）が用いられている。

【0010】また、ディスクリットのL、Cチップを用いる場合には、位相整合のための回路定数への影響は少ないが、各チップの精度のため位相整合量の微妙な調整は難しく、さらにチップの形状が大きい分波器の高さが高くなる。

【0011】以下に、帯域通過型の2つの弾性表面波フィルタチップを用いて構成される分波器の従来例を示す。図12に、パッケージ内に構成される分波器の回路構成の概念図を示す。ここで、 $F_1$ 、 $F_2$ が弾性表面波フィルタチップであり、互いのフィルタ特性が干渉しないようにするために、位相整合用回路 $P_1$ 、 $P_2$ が挿入される。

【0012】端子 $T_1$ 、 $T_1'$ は共通信号端子であり、端子 $S_1$ 、 $S_{1g}$ 、端子 $S_2$ 、 $S_{2g}$ は分波された信号の入出力端子である。一方の端子（たとえば端子 $T_1'$ 、 $S_{1g}$ 、 $S$

$2g$ )はグランド(GND)に接続される。通常、弾性表面波フィルタ $F_1$ 、 $F_2$ と位相整合用回路 $P_1$ 、 $P_2$ が多層のセラミックパッケージ内に納められる。

【0013】図13から図17に、従来の分波器パッケージの構成例の概略断面図及び斜視図を示す。図13において、外部接続端子部101は、パッケージの最下層にあり、図12の $T_1$ 、 $S_1$ 、 $S_2$ 端子に相当する部分である。また、絶縁層103の中に、タングステン等で作られた位相整合用回路100が埋め込まれる。図13では、フィルタ $F_1$ と端子 $T_1$ との間にのみ位相整合用回路100を挿入したものを示している。

【0014】位相整合用回路100の一端はスルーホールを通して最下層の共通信号端子 $T_1$ に接続され、他端はスルーホールを通してフィルタ $F_1$ 、 $F_2$ に接続される。フィルタ $F_1$ 、 $F_2$ はフィルタチップの実装表面であるダイアタッチ層102の上に配置され、ワイヤ107を介して図のようにボンディング端子層104に接続される。

【0015】ボンディング端子層104はフィルタと同じ高さにあるキャビティを構成する層(以下、キャビティ層と記す)105の表面に存在し、パッケージの端部を通して最下層の信号端子 $S_1$ 、 $S_2$ に接続される。ダイアタッチ層102にはグランド(GND)パターンが形成され、このGNDパターンの上にフィルタ $F_1$ 、 $F_2$ が配置される。また、最上層には気密封止のため、キャップ106が配置される。

【0016】図14は、図13に対応する分波器パッケージの斜視図である。ここで、レイヤ7には、位相整合用回路100が形成されており、スルーホールを通して、位相整合用回路100の一端がキャビティ層105の端子 $S_1'$ に接続され、他端が端子 $S_2'$ 及び最下層の端子 $T_1$ に接続される。レイヤ5の表面がダイアタッチ層であり、この上にフィルタチップ $F_1$ 、 $F_2$ が配置される。

【0017】また、レイヤ9の表面には接地層GNDが形成され、この接地層とレイヤ2、レイヤ6にあるGNDとが、スルーホール及びパッケージの端部を通して接続される。図13、図14に示した従来の分波器パッケージは、7.5(縦)×8.5(横)×2.4(高さ)mm程度の大きさである。

【0018】図15は、レイヤ7とレイヤ8において2つのフィルタ $F_1$ 、 $F_2$ と共通信号端子 $T_1$ 間にそれぞれ位相整合用回路100を挿入した、従来の分波器パッケージの斜視図である。図14と異なる点は、位相整合用回路100が形成されたレイヤ8が追加される点である。レイヤ8が追加されるため、この分波器パッケージの高さは、図14の分波器パッケージの高さ(2.4mm)よりも約0.35mm程度高くなる。

【0019】図16及び図17は、図13に示した構成の表裏を逆にして、ダイアタッチ部の上面に位相整合用

回路100を形成した従来の分波器パッケージを示している。この場合、図13のものに比べて絶縁層103を削減できるため、分波器パッケージとしては8.5

(縦)×9.5(横)×1.6(高さ)mm程度とすることができる。

【0020】ただし、上面に形成した位相整合用回路100はむき出しであるため、このままでは外部からの輻射ノイズの影響を受けやすい。したがって位相整合用回路100のすぐ近くにGND等の信号線が存在すると位相整合線路の特性インピーダンスが変化しデバイス特性を劣化させるので、ある程度の空間が必要となる。

【0021】すなわち、従来、この図16のような構成を持つ分波器パッケージは、位相整合用回路100の上方に0.6mm以上の空間が設けられて使用され、分波器を構成する場合には結局2.2mm以上の高さを必要としている。

【0022】

【発明が解決しようとする課題】前記したように、小型通信機器の部品の小型化が要望されているが、特に高さを制限する「低背化」がより一層求められている。図13に示したように、位相整合用回路のパターンを層に埋めこんで多層構造とした場合には、互いに相手のフィルタ特性への悪影響を低減できるが、必要な層が多いため部品のさらなる小型、低背化は難しい。

【0023】また、図16に示した構造では、パッケージ上方に一定高さの空間が必要となるため、低背化にも限度がある。さらに外部からのノイズによってフィルタ特性に悪影響を及ぼすおそれが高い。

【0024】そこで、この発明は、以上のような事情を考慮してなされたものであり、分波器パッケージにおける位相整合用回路パターン、接地用パターン、共通信号端子のパターン等の層配置に従来とは異なる多層構造を採用し、分波器としての信号損失及びフィルタ特性の劣化の改善と、分波器パッケージの低背化を図ろうとするものである。

【0025】

【課題を解決するための手段】この発明は、それぞれ異なる帯域中心周波数を有する2つの弾性表面波フィルタチップと、2つの弾性表面波フィルタ同士の位相を整合させる位相整合用回路とを一つに収めた多層分波器パッケージであって、前記位相整合用回路が、弾性表面波フィルタチップ実装面の上方に位置するフィルタチップ用のキャビティを構成する層(キャビティ層)に形成されることを特徴とする分波器パッケージを提供するものである。

【0026】ここで、前記キャビティを構成する層が、ボンディング端子層、ボンディング端子層の下方に各弾性表面波フィルタチップごとに分離されたパターンからなる接地層、及び接地層の下方に前記位相整合用回路が形成された整合層から構成するようにしてもよい。

【0027】また、フィルタチップ実装面に共通接地層を形成してもよく、あるいはフィルタチップ実装面の下方に絶縁層を介して共通接地層を形成してもよい。ここで、フィルタチップ用のキャビティを構成する層とは、弾性表面波フィルタチップを実装する面の上方に位置し、2つの弾性表面波フィルタチップを実装するためのキャビティ(空洞)を囲む層をいう。このキャビティの中に弾性表面波フィルタチップが挿入され、実装面に接着される。このフィルタチップを実装する面は、ダイアタッチ層とも呼ばれる。

【0028】また、損失低減の点で、前記位相整合回路が、銅又は銀を主成分とする導体材料からなることが好ましい。さらに、デバイスの小型化の点で、前記位相整合回路は、フィルタチップを囲むような形状のストリップ線路で形成することが好ましい。

【0029】

【発明の実施の形態】以下、図面に示す実施の形態に基づいてこの発明を詳述する。なお、これによってこの発明が限定されるものではない。図1に、この発明で対象とする分波器の回路構成のブロック図を示す。

【0030】ここで、弾性表面波帯域通過フィルタチップ $F_1$ 、 $F_2$ と共通信号端子 $T_1$ 、 $T_1'$ との間にそれぞれ位相整合回路 $P_1$ 、 $P_2$ が設けられる。フィルタチップ $F_1$ 、 $F_2$ は互いに異なる帯域中心周波数を有しており、それぞれのフィルタはたとえば図2に示すような周波数特性を有する。入出力端子 $S_1$ 、 $S_2$ は、所望の2つの中心周波数を持つ信号をそれぞれ入出力する端子である。

【0031】たとえば、フィルタチップ $F_1$ の帯域中心周波数を836MHzとすると、この周波数を中心とする帯域の信号が端子 $S_1$ に入出力される。同様に、フィルタチップ $F_2$ の帯域中心周波数(881MHz)を中心とする帯域の信号が端子 $S_2$ に入出力される。入出力端子 $S_1$ 、 $S_2$ と異なるもう一方の端子(GND)と、共通信号端子 $T_1'$ とはグラウンドレベル(GND)に接地される。

【0032】第1実施例

以下に、断面図及び斜視図を用いて、この発明の第1の実施例を示す。図3に、第1実施例の分波器パッケージの多層構造の断面図、図4に斜視図を示す。この多層構造は、5つの層から構成され、最上層(レイヤ1)の上方に、フィルタチップ等の内部を保護するように図示しないキャップが配置される。キャップは、AuメッキあるいはNiメッキ等の金属材料または、パッケージと同じセラミック材料で作られる。レイヤ1はキャップをのせるための分波器パッケージの枠であり、ガラスセラミック材料で作られる。図4では、上記のキャップ及びレイヤ1は省略している。

【0033】レイヤ2からレイヤ4までの層が、キャビティ層21に相当し、フィルタチップ $F_1$ 、 $F_2$ とはほぼ同

じ高さであり、この中に位相整合回路のパターン( $P_1$ 、 $P_2$ )が形成されている。レイヤ2は、フィルタチップの端子と外部との接続を形成する層であり、その表面はいわゆるボンディング端子層2を形成する。

【0034】ボンディング端子層2は、図1における端子 $S_1$ 、 $S_2$ と、経路 $S_1'$ 及び $S_2'$ に対応する端子が配置され、それぞれの端子はフィルタチップ $F_1$ 、 $F_2$ とワイヤ23によって接続される。レイヤ2はガラスセラミック等の材料で作成され、その表面の端子及び配線パターンはタングステン、Cu、Ag等の導体材料の表面をAuメッキ処理して作成される。またワイヤ23はAl-Si等の材料を用いればよい。また、ボンディング端子層2には、図4に示すようにグラウンド(GND)端子がいくつか配置され、フィルタチップ $F_1$ 、 $F_2$ のGND端子とワイヤ23で接続される。

【0035】このレイヤ2に配置された各端子( $S_1$ 、 $S_2$ 、GND)は、スルービア又は各レイヤの側面の導通路を通して最下層のレイヤ5に接続される。なお、レイヤ2の中央部の2つの四角形はフィルタチップ用のキャビティ(空洞)であり、この中にフィルタチップが挿入される。

【0036】レイヤ3及びレイヤ4は、その表面にそれぞれ位相整合回路 $P_2$ 、 $P_1$ を形成した整合層であり、ガラスセラミック等の材料で作成される。

【0037】位相整合回路 $P_1$ 、 $P_2$ は、ストリップ線路パターンで形成され、このパターンの一端はスルービアによってフィルタチップの $S_1'$ 、 $S_2'$ と接続され、他の一端はスルービアによって最下層の信号共通端子 $T_1$ と接続される。位相整合回路 $P_1$ 、 $P_2$ の線路パターンは、図4に示すようにフィルタチップを挿入するキャビティ(空洞)を囲むように形成することができる。

【0038】たとえば、図11(a)、(b)に示すように、フィルタチップ $F_1$ に接続される位相整合回路 $P_1$ はフィルタチップ $F_1$ 用のキャビティを囲むように、またフィルタチップ $F_2$ に接続される位相整合回路 $P_2$ はフィルタチップ $F_1$ 及び $F_2$ 用のキャビティを囲むように形成してもよい。

【0039】このように形成すれば、線路パターンを直線的に形成する場合に比べて、レイヤ3及びレイヤ4のスペースを有効活用でき、分波器の小型化に寄与する。ただし、線路パターンは図4の斜視図及び図11に限定するものではない。

【0040】この他に、線路パターンの形状は種々のものが考えられ、線路パターンの線幅を異ならせてもよい。たとえば、共通信号端子 $T_1$ 側に接続される線路パターンの線幅をフィルタチップに接続される線路パターンの線幅よりも狭くし、フィルタチップ側から共通信号端子へ向けて徐々に狭くなるようにしてもよい。

【0041】位相整合回路 $P_1$ 、 $P_2$ はタングステンあるいは銅を主成分とする材料で作成される。また、位相

整合用回路 $P_1$ の線路長は25mm、線路幅は0.2mm程度、位相整合用回路 $P_2$ の線路長は32mm、線路幅は0.2mm程度とすることができる。レイヤ3及びレイヤ4の中央部の2つの四角形もキャビティである。

【0042】レイヤ5は、その表面にフィルタチップ $F_1$ 、 $F_2$ を実装する層であり、いわゆるダイアタッチ層で、これもガラスセラミックから作られる。ダイアタッチ層のフィルタチップを実装する部分と、ダイアタッチ層のほぼ全面にわたってGNDパターン（接地層）が形成される。フィルタチップ $F_1$ 、 $F_2$ は、このGNDパターン上に導電性のペーストを用いて接着される。GNDパターンの内部には、フィルタチップとレイヤ5のセラミック基板との密着性をよくするために、図3(a)及び図4に示されるようなスリット（図では3つのスリット）を形成することが好ましい。ここでGNDパターンがレイヤ5の表面上のほとんどを覆うように形成させるのは、フィルタチップのアイソレーションの向上を図るためである。

【0043】また、レイヤ5は、上記のようなグランド（GND）パターンの他、裏面に外部接続端子（ $S_1$ 、 $S_2$ 、 $T_1$ ）を配置した層である。外部接続端子 $S_1$ 、 $S_2$ 、 $T_1$ 及びGND端子は、表面実装及びアイソレーション特性の面でレイヤ5の裏面に配置されることが好ましい。GNDパターン及び各端子は、ワイヤボンディング端子と同じ導電性の材料で作成される。

【0044】以上がこの発明の分波器パッケージの第1実施例の多層構造であるが、キャビティ層21の高さは0.5~0.65mm程度とすることができ、キャップから最下層であるレイヤ5までの全体の高さは1.6mm程度とすることができる。また、フィルタチップ $F_1$ 、 $F_2$ の大きさは、1.5mm（縦）×2mm（横）程度であるので、分波器パッケージ全体の大きさは、6mm（縦）×8mm（横）×1.6mm（高さ）とすることができる。

【0045】このような多層構造を持つ分波器パッケージは、次のような製造工程によって作成できる。まず、各レイヤごとに、誘電率5.7、厚さ0.3mm程度のガラスセラミック基板を用意し、マスクを用いて、導電材料を蒸着させ各レイヤの配線パターンを形成する。

【0046】次に、パターンを形成した各レイヤの基板を順に、貼り合わせ焼結し、表面に露出した導体部分を金メッキ処理する。さらに、フィルタチップ $F_1$ 、 $F_2$ をキャビティ層に挿入し、導電性ペーストを用いてダイアタッチ層に接着させる。最後に、フィルタチップ $F_1$ 、 $F_2$ 上の端子とレイヤ2のボンディングワイヤ層の各端子とをワイヤ23で接続し、レイヤ1の上方にキャップを配置させる。

【0047】このように、第1実施例においては、キャビティ層の中に、位相整合用回路 $P_1$ 、 $P_2$ を形成したので、分波器パッケージの高さ（1.6mm）を従来のもの（2.4mm）よりも低背化できる。

【0048】図5に、第1実施例と図13に示した従来例のものとフィルタ特性値の比較表を示す。ここで従来の分波器における位相整合用回路は、タングステンの材料を用いて形成したものであり、第1実施例の位相整合用回路は前記したように銅（Cu）材料を用いて形成したものである。まず、パターン抵抗はほぼ1/5程度とすることができたが、このパターン抵抗が減少することは、損失及び位相回転後の帯域外反射係数が改善されることを意味する。

【0049】この第1実施例におけるそれぞれの具体的な数値は、損失変化量は0.3dB程度に抑えることができ、帯域外反射係数変化量は-0.03とすることができた。これにより2つのフィルタを組み合わせた、すなわちデュプレキサ構成時の特性特に通過帯域の損失という点が改善されたことがわかる。

【0050】図6に第1実施例の分波器において、位相整合用回路の材料として異なる材料を用いた場合のフィルタ特性の比較図を示す。

【0051】図6のaは、この発明の第1実施例で示したように、位相整合用回路の材料として、銅を主成分とする導体材料を用いた場合のグラフであり、図6のbは、従来から用いられているタングステンで位相整合用回路を形成した場合のグラフである。この図6によれば、位相整合用回路に銅を主成分とする導体材料を用いているので、互いのフィルタの通過帯域（824MHzから849MHz、869MHzから881MHz）において0.3dB程度の減衰量の改善が見られることがわかる。なお、この他に、位相整合用回路の材料として、銀系の導体材料を用いても同様の改善をすることができる。

【0052】なお、ここでは、フィルタチップ $F_1$ 及び $F_2$ と、共通信号端子 $T_1$ との間のそれぞれに位相整合用回路 $P_1$ 、 $P_2$ を形成した実施例を示したが、第2実施例で示すようにどちらか一方のフィルタチップと信号共通端子 $T_1$ との間にのみ位相整合用回路を形成するようにしてもよい。この場合は、レイヤが一つ減るので高さをさらに低くすることができる。

#### 【0053】第2実施例

図7に、この発明の第2実施例の分波器パッケージの斜視図を示す。ここで、図4の第1実施例と異なる点は、位相整合回路を形成したレイヤが一つ（レイヤ4のみ）であること、レイヤ2のボンディング端子層の下及び最下層の下にGND層（接地層）を設けていることである。すなわち、図7は、図4からレイヤ4を取り除き、フィルタチップ $F_2$ と共通信号端子 $T_1$ との間にのみ位相整合回路 $P_2$ を形成した実施例である。

【0054】この第2実施例によれば、キャビティ層21のレイヤを一つ削減できるので、第1実施例と比べてさらに0.2mm程度、高さを低くすることができる。また、位相整合用回路は一方のフィルタチップに接続され

た回路にしか挿入されていないが、レイヤ3とレイヤ6の接地層間に、位相整合用回路 $P_2$ をはさんだ構成としているため、従来の分波器とほぼ同様のフィルタ特性を得ることができる。

【0055】レイヤ3の接地層は、中央部分にフィルタチップ用のキャビティを有し、各キャビティを取り囲むようにGNDパターン（GND1、GND2）を形成したものである。

【0056】このGNDパターンGND1とGND2とは、各フィルタチップのアイソレーションを向上させる点でレイヤ3上では分離したパターンとすることが好ましい。GNDパターンGND1、GND2は、どちらもスルービアを通してレイヤ2のボンディング端子層のGND端子と接続され、さらにワイヤによって各弾性表面波フィルタ $F_1$ 、 $F_2$ と接続される。

【0057】一方、図7では、レイヤ6の接地層は、表面全体をほぼ覆うようなパターンで形成され、レイヤ2のGND端子と接続される共通接地層となっている。レイヤ5のダイアタッチ層は、フィルタチップを接着させる部分のみにGNDパターンを形成している。

【0058】このように、キャビティ層にレイヤ3のような接地層を設け、さらにダイアタッチ層（レイヤ5）の下方にも共通接地層（レイヤ6）を設けて、キャビティ部の位相整合用回路を上下の接地層ではさむような構成とすれば、さらにフィルタチップの端子と位相整合回路の間における信号の漏れ、及び2つの弾性表面波フィルタチップ同志の間における信号の漏れの低減、外部からの放射ノイズの影響の低減、位相整合線路の特性インピーダンス値の安定化等を図ることができる。

【0059】図8に、第2実施例の分波器と図13に示した従来の構成の分波器のフィルタ特性の比較図を示す。これによれば、各フィルタチップの通過帯域のフィルタ特性がほぼ一致していることがわかる。

#### 【0060】第3実施例

図9に、この発明の第3実施例の分波器パッケージの斜視図を示す。ここで、図7の第2実施例と異なる点は、図7に示したレイヤ3に相当する接地層がない点である。このように、レイヤ3に相当する接地層を省くことにより、さらに0.2mm程度高さを低くすることができる。この第3実施例では、図9のダイアタッチ層（レイヤ4）の下レイヤ5の表面を、ほぼ共通接地層で覆ったことを特徴とする。このような共通接地層を設けることによって、2つのフィルタチップ間のアイソレーションを向上できる。

【0061】図10に、第3実施例の分波器と図13に示した従来の構成の分波器のフィルタ特性の比較図を示す。これによれば、820MHzから850MHz付近の減衰量がこの発明の方が大きいので、第3実施例の方が従来のものに比べてフィルタチップ $F_2$ の帯域外減衰量の改善が見られることがわかる。すなわち、フィルタ

チップを実装する表面であるダイアタッチ層の下方に共通接地（GND）層を配置することによって、帯域外減衰量を改善させることができるので、相手方のフィルタチップの特性への悪影響を低減することができる。

#### 【0062】

【発明の効果】この発明によれば、フィルタチップ用のキャビティ層に位相整合用回路を形成しているので、分波器パッケージの低背化を図ることができる。キャビティ層のボンディング端子層と整合層との間に、弾性表面波フィルタチップごとに分離されたパターンからなる接地層を設けているので、フィルタチップの端子と位相整合回路の間における信号の漏れ、及び2つの弾性表面波フィルタチップ同志の間における信号の漏れを改善することができる。さらに、フィルタチップ実装面の下方に絶縁層を介して共通接地層を形成しているので、各フィルタチップのアイソレーションの向上を図ることができる。またフィルタチップ実装面に共通接地層を形成すれば、分波器パッケージをさらに低背化できる。

#### 【図面の簡単な説明】

【図1】この発明の分波器の基本構成図である。

【図2】分波器のフィルタの周波数特性図の一実施例である。

【図3】この発明の第1実施例の分波器パッケージの多層構造の断面図である。

【図4】この発明の第1実施例の分波器パッケージの多層構造の斜視図である。

【図5】この発明と従来の分波器の特性を比較した図である。

【図6】第1実施例と従来例とのフィルタ特性の比較図である。

【図7】この発明の第2実施例の分波器パッケージの多層構造の斜視図である。

【図8】第2実施例と従来例とのフィルタ特性の比較図である。

【図9】この発明の第3実施例の分波器パッケージの多層構造の斜視図である。

【図10】この発明の第3実施例と従来例とのフィルタ特性の比較図である。

【図11】この発明の一実施例の位相整合用回路パターンの配置図である。

【図12】従来の分波器の回路構成ブロック図である。

【図13】従来の分波器パッケージの断面図である。

【図14】従来の分波器パッケージである図13に対応する斜視図である。

【図15】従来の分波器パッケージの斜視図である。

【図16】従来の分波器パッケージの断面図である。

【図17】従来の分波器パッケージの斜視図である。

#### 【符号の説明】

2 ボンディング端子層

6 ダイアタッチ層

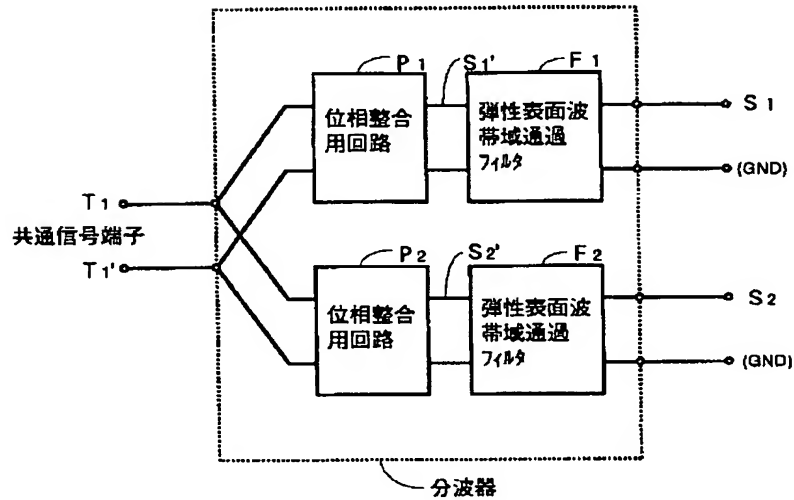


21 キャビティ層  
 23 ワイヤ  
 $T_1, T_1'$  共通信号端子

$P_1, P_2$  位相整合用回路  
 $F_1, F_2$  帯域通過型弾性表面波フィルタ

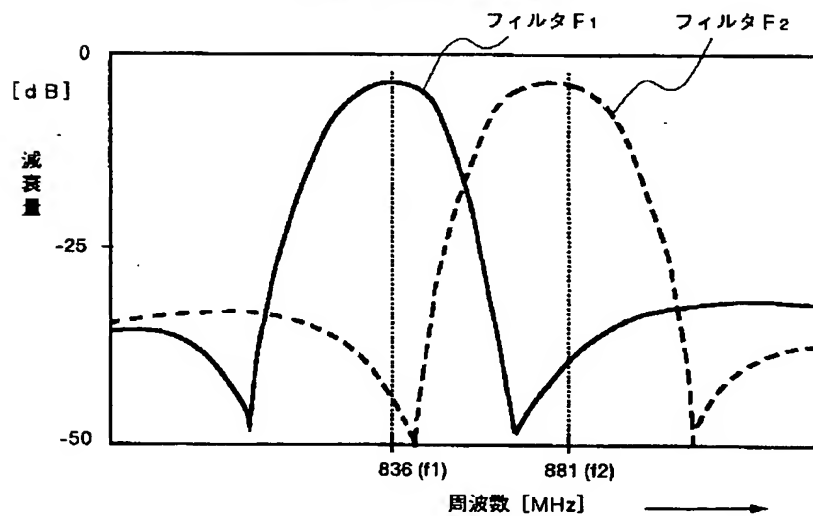
【図1】

この発明の分波器の基本構成図



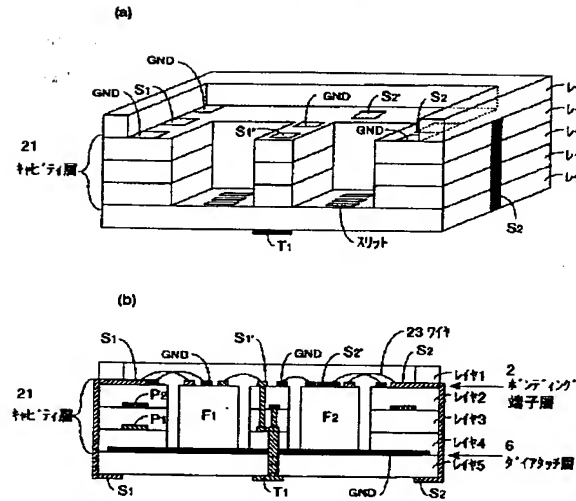
【図2】

分波器のフィルタの周波数特性図



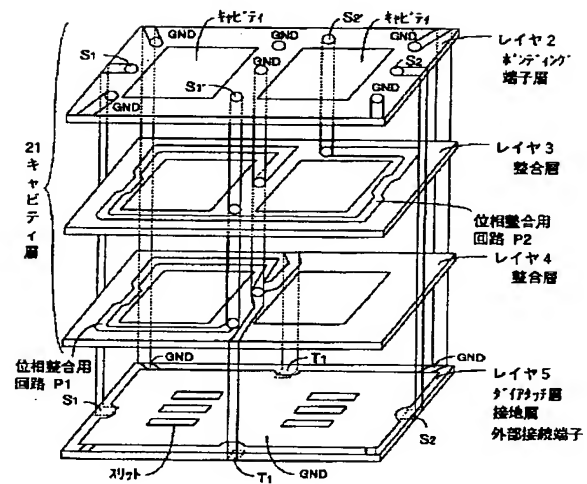
【図3】

この発明の第1実施例の断面図



【図4】

この発明の第1実施例の斜視図



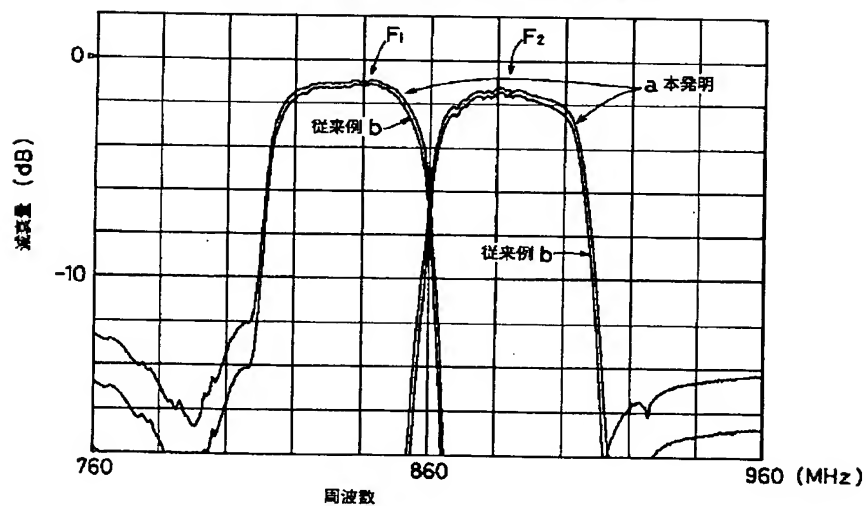
【図5】

この発明と従来の分波器の特性比較

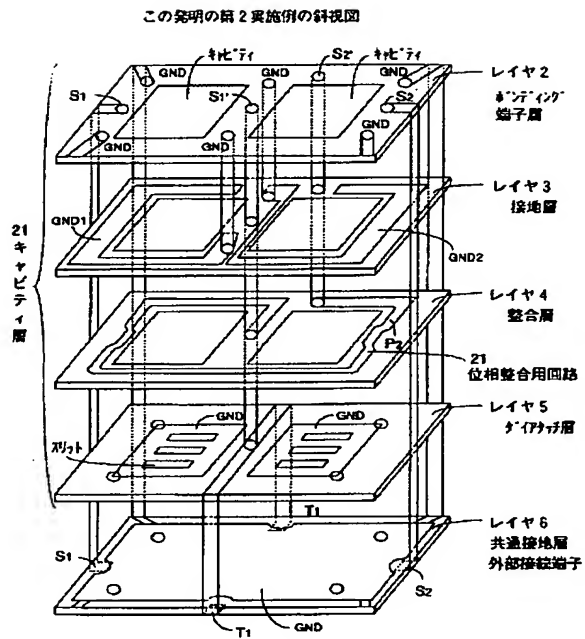
	ハ・タン抵抗	損失変化量	帯域外反射係数変化量
第1実施例	200mΩ	+0.3dB	-0.03
従来構成	1000mΩ	+0.9dB	-0.2

【図6】

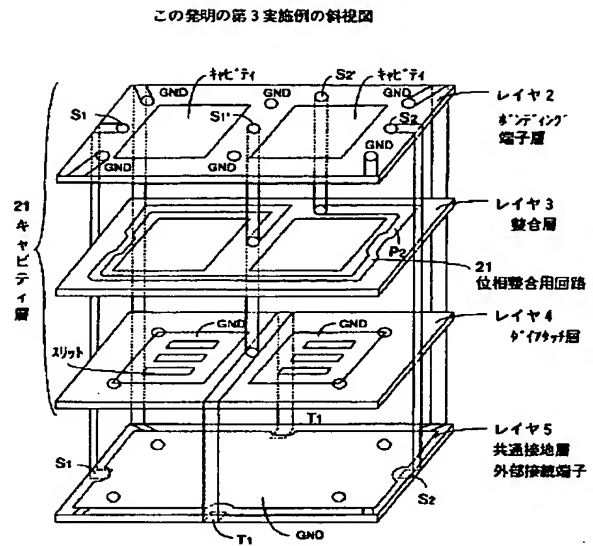
この発明の第1実施例と従来例とのフィルタ特性の比較図



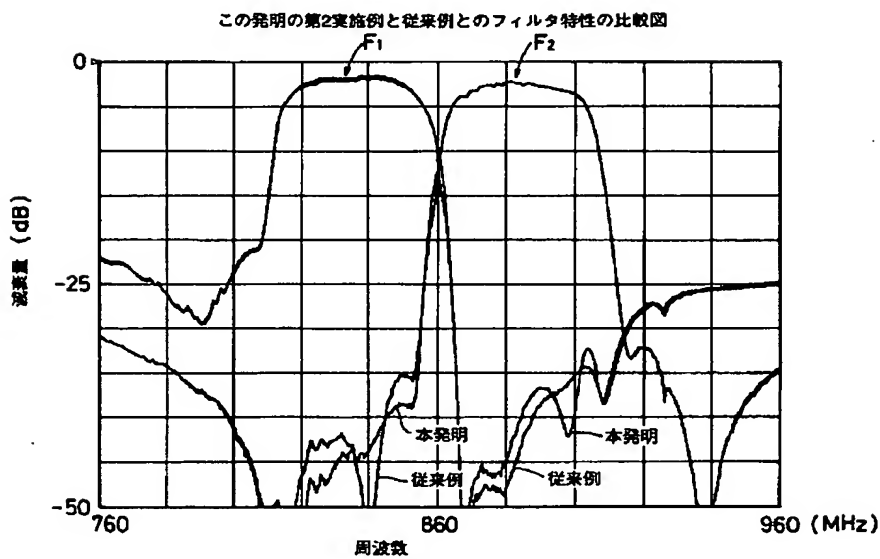
【図7】



【図9】

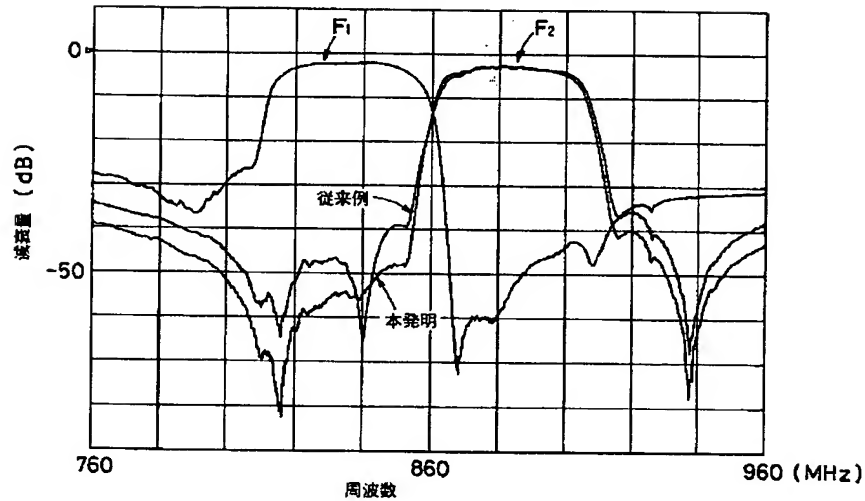


【図8】



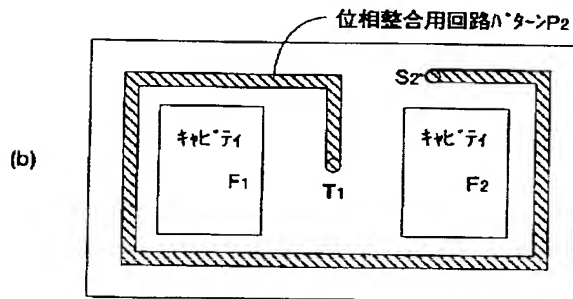
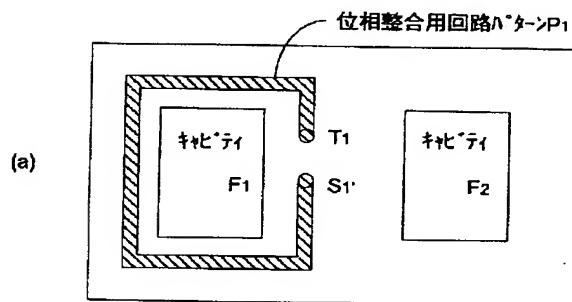
【図10】

この発明の第3実施例と従来例とのフィルタ特性の比較図



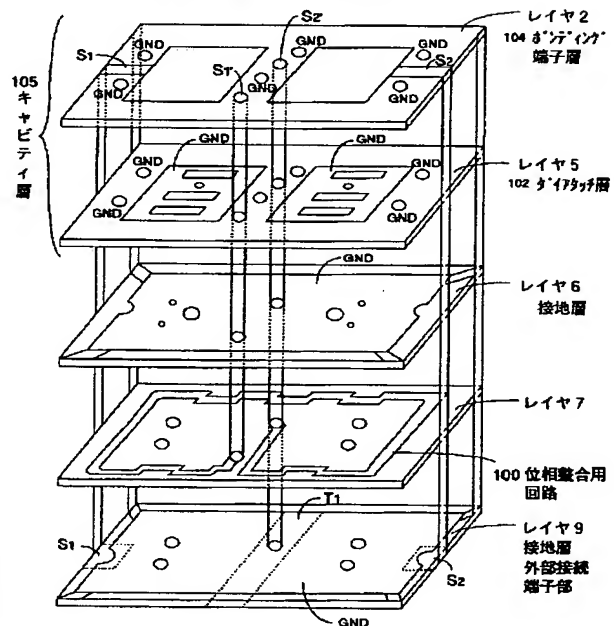
【図11】

この発明の位相整合用回路ハ・ターンP1の実施例



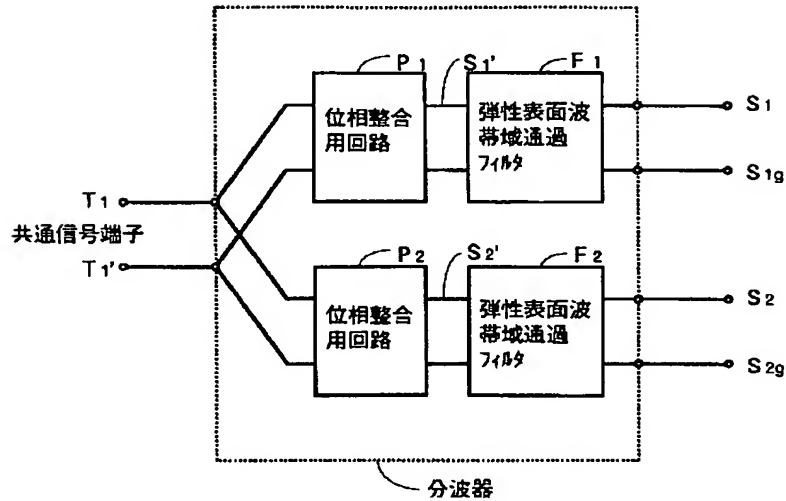
【図14】

従来の分波器パッケージの斜視図



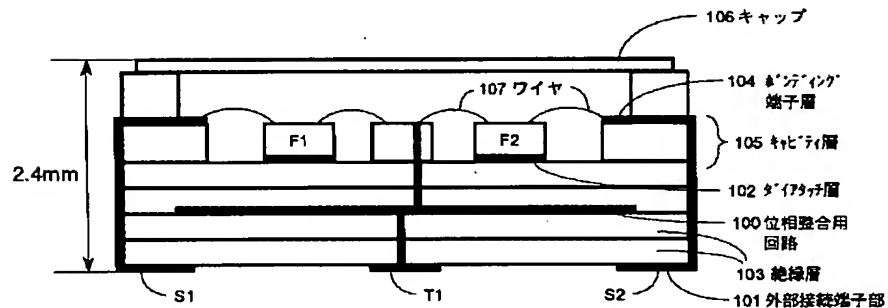
【図12】

従来の分波器の回路構成ブロック図



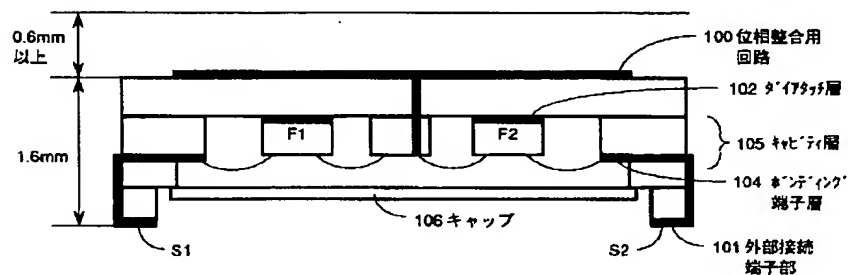
【図13】

従来の分波器の断面図

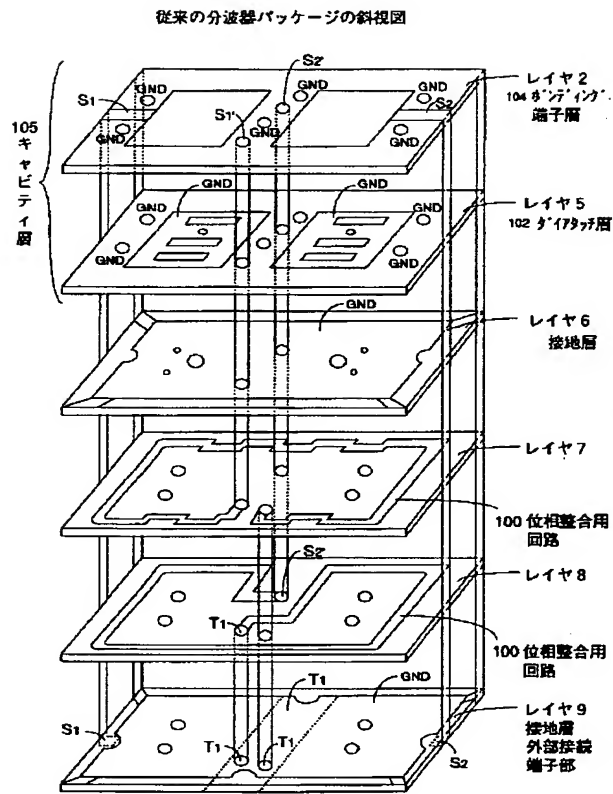


【図16】

従来の分波器の断面図



【図15】



【図17】

